

**MOS TYPE SEMICONDUCTOR DEVICE**

Patent Number: JP60022375  
Publication date: 1985-02-04  
Inventor(s): OGATA TOSHIKI  
Applicant(s): SUWA SEIKOSHA KK  
Requested Patent: ☐ JP60022375  
Application Number: JP19830131496 19830719  
Priority Number(s):  
IPC Classification: H01L29/78 ; H01L27/04  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To obtain the withstand voltage of 100V or more by a method wherein a gate electrode is formed into Y-shape which is branched at the edge of a drain.

**CONSTITUTION:** As a gate wiring 12 is branched at the edge of a drain and is disconnected at the part of a drain electrode 16, a Y-shape channel region is formed. The concentration of electric field on a diffusion layer 14 can be prevented, because said drain diffusion layer 14 is surrounded by the channel region. As a result, the withstand voltage of 100V or more which is difficult to be obtained in the past can be realized, thereby enabling to be of great use as a semiconductor device for driving and the like of a fluorescent indication tube.

Data supplied from the esp@cenet database - 12

V  
used.

6.

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭60—22375

⑫ Int. Cl.<sup>4</sup>  
H 01 L 29/78  
27/04

識別記号

庁内整理番号  
7377—5F  
8122—5F

⑬ 公開 昭和60年(1985)2月4日

発明の数 1  
審査請求 未請求

(全 2 頁)

⑭ MOS型半導体装置

⑯ 特 願 昭58—131496  
⑰ 出 願 昭58(1983)7月19日  
⑱ 発 明 者 尾形俊昭

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑲ 出 願 人 株式会社諏訪精工舎  
東京都新宿区西新宿2丁目4番  
1号

⑳ 代 理 人 弁理士 最上務

明 細 書

発明の名称

MOS型半導体装置

特許請求の範囲

ゲート電極がドレイン端で分岐したⅡ字型をなす事を特徴とするMOS型半導体装置。

発明の詳細な説明

本発明はMOS型半導体装置の構造に関する。

高耐圧MOS型半導体装置をプルアップ抵抗として用いる事は、蛍光表示管等の高電圧を要するデバイスの駆動回路中、特に低電圧で駆動されるロジック部と高電圧のドライバ部の間のレベルシフト回路に多くみられる。

第1図はプルアップ抵抗として用いられる従来の高耐圧MOS型半導体装置を示す図である。高濃度ドレイン拡散層4の周囲にオフセット拡散層5を形成する事によって高耐圧化されている。図

の1はアクティブ領域、2はゲート配線、3はソース拡散層、6はドレイン配線を示す。第1図に示すMOS型半導体装置ではドレイン拡散層の耐圧がオフセット拡散層5が低濃度の場合支配的になり百ボルト以上の耐圧を得る事が困難になる。上記の欠点を除去するにはドレイン拡散層に対する電界集中を避ける為チャネル領域でドレイン拡散層を囲む必要がある。その際ドレイン電極下にはチャネルを設けない。しかしチャネル部を上記の様にほぼ円形に形成するとチャネル巾が大きくなりMOS型半導体装置の抵抗は小さくなりプルアップ抵抗としての用をなさなくなる。

本発明は上記の欠点を除去する為にチャネルの一部を狭く長くしたものである。本発明の実施例を第2図に示す。ゲート配線12はドレイン端で分岐し、ドレイン電極14の部分では切れる為、Ⅱ字型のチャネル領域を形成する。図の11はアクティブ領域、13はソース拡散層、14は高濃度ドレイン拡散層、15はオフセット拡散層を示す。

本発明のMOS型半導体装置は従来のMOS型半導体装置では困難であった百ボルト以上の耐圧を容易に得る事が出来、蛍光表示管の駆動用等の半導体装置として大いに役立つ。

図面の簡単な説明

第1図は従来のMOS型半導体装置を示す図である。

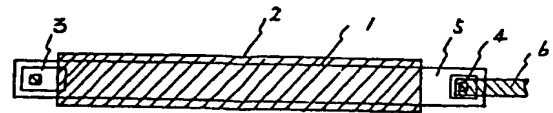
第2図は本発明のMOS型半導体装置を示す図である。

- 1, 11 --- アクティブ領域
- 2, 12 --- ゲート配線
- 3, 13 --- ソース拡散層
- 4, 14 --- 高濃度ドレイン拡散層
- 5, 15 --- オフセット拡散層
- 6, 16 --- ドレイン配線

以 上

出願人 株式会社静岡精工舎

第1図



第2図

